

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LIN, Chun-Jung Conf.:
Appl. No.: NEW Group:
Filed: September 17, 2003 Examiner:
For: METHOD FOR FORMING DOUBLE DENSITY
WORDLINE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 17, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

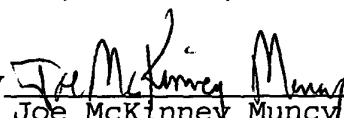
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	92114546	May 29, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

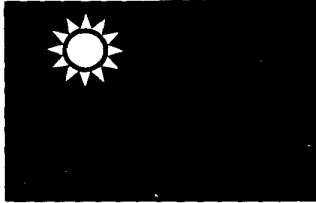
By 
Joe McKinney Muncy, #32,334

KM/sll
0941-0837P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

LIN, Chen-Jung
September 17, 2003
BSK0117
(03) 20-3000
0941-0837
10 of 1



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 05 月 29 日
Application Date

申請案號：092114546
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日
Issue Date

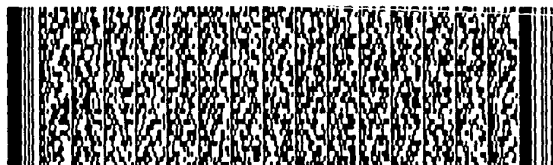
發文字號：09220814410
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成倍密式字元線的方法
	英文	METHOD FOR FORMING DOUBLE DENSITY WORDLINE
二、 發明人 (共1人)	姓名 (中文)	1. 林春榮
	姓名 (英文)	1. CHUN JUNG LIN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹科學工業園區新竹市力行路16號
	住居所 (英文)	1.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 16, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. Hu, Ding Hua



0380_7145TWE(N1);P010117;CLARIE.pptd

四、中文發明摘要 (發明名稱：形成倍密式字元線的方法)

本發明提供一種形成倍密式字元線的方法，首先提供一具有具有多晶矽層、第一絕緣層、第一虛置多晶矽層、第二絕緣層之半導體基底，第二絕緣層及第一虛置多晶矽層間具有一開口，並以開口相隔出第一字元線罩幕及第二字元線罩幕；於開口之側壁形成一間隙壁，並填入一第二虛置多晶矽層；接著，去除間隙壁、第二絕緣層及露出表面之第一絕緣層，以使第二虛置多晶矽層及其覆蓋之第一絕緣層共同形成第三字元線罩幕；然後，以第一、二及三字元線罩幕為罩幕蝕刻多晶矽層以形成第一字元線、第二字元線及第三字元線。

伍、(一)、本案代表圖為：第2h圖

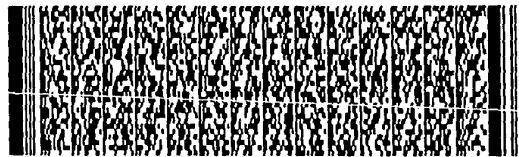
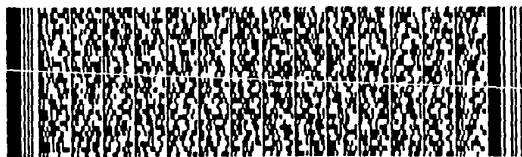
(二)、本案代表圖之元件代表符號簡單說明：

201~半導體基底；

202~多晶矽層；

六、英文發明摘要 (發明名稱：METHOD FOR FORMING DOUBLE DENSITY WORDLINE)

A method for forming a double density wordline. A semiconductor substrate having a poly layer, a first insulating layer, a first dummy poly layer, and a second insulating layer is provided. The second insulating layer and the first dummy poly layer separated by an opening are a first wordline mask and a second wordline mask respectively. A spacer is formed on a sidewall of

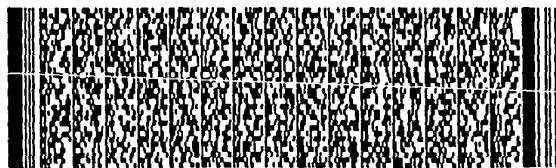


四、中文發明摘要 (發明名稱：形成倍密式字元線的方法)

203~金屬層；
204、204a~絕緣層；
205~第一虛置多晶矽層；
206~絕緣層；
207~圖案化光阻層；
208~開口；
209a~第一字元線罩幕；
209b~第二字元線罩幕；
209c~開口；
209d~第三字元線罩幕；
210~絕緣層；
210a~間隙壁；
211、211a~第二虛置多晶矽層；
212a~第一字元線；
212b~第二字元線；

六、英文發明摘要 (發明名稱：METHOD FOR FORMING DOUBLE DENSITY WORDLINE)

the opening, and the opening is filled with a second dummy poly layer. The spacer, the second insulating layer, and the exposing first insulating layer are removed to form a third wordline mask, the third wordline is composed of the second dummy poly layer and the first insulating layer not exposed. The poly layer is etched to form a first wordline, a second



四、中文發明摘要 (發明名稱：形成倍密式字元線的方法)

212c~第三字元線；

213~空間。

六、英文發明摘要 (發明名稱：METHOD FOR FORMING DOUBLE DENSITY WORDLINE)

wordline, and a third wordline using the first wordline mask, the second wordline mask, and the third wordline mask as etching masks.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

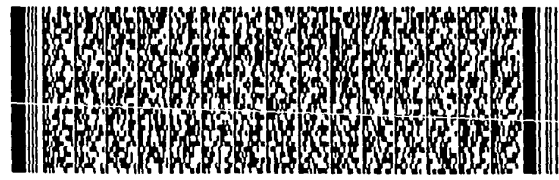
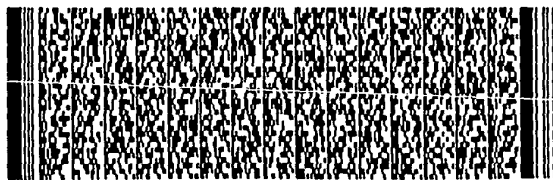
本發明係有關於一種電子式可抹除程式化唯讀記憶體的製程技術，特別係有關於一種可降低字元線間之空間及線寬之寬度的形成方法，可有效提高字元線之密度，藉以在單位面積生產更多的記憶體單元。

先前技術

在數位資料(digital information)的儲存上，一般習慣以位元來形容記憶體的容量，記憶體內每個用以儲存資料的單元稱為記憶胞，每個記憶胞皆有其特定的位址(address)，也就是記憶胞是以一陣列(array)的方式排列，每一個行(column)與列(row)的組合代表一特定的記憶胞位址。其中，位於同行或者同列的記憶胞是以共同的導線加以串接，這些左右橫向連接記憶胞的導線稱為字元線(word line)。

請參考第1a-1b圖，第1a-1b圖係顯示習知之電子式可抹除程式化唯讀記憶體(electrically erasable programmable read only memory, EEPROM)形成字元線的方法。

請參考第1a圖，首先，提供一半導體基底101，半導體基底101上形成有複數個記憶胞及其他相關元件，圖式上並未標示記憶胞及其他元件，以簡單化本圖式。於半導體基底101上依序形成一多晶矽層102、一鎢金屬矽化物(WSi)層103、及一具有開口105之圖案化光阻層104；其中，開口105露出鎢金屬矽化物層103之部分表面；開口



五、發明說明 (2)

105之寬度約為 $0.18\ \mu\text{m}$ 。

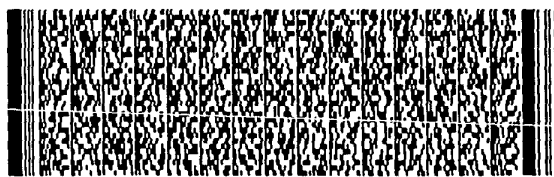
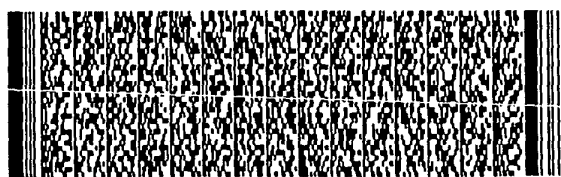
請參考第1b圖，以圖案化光阻層104為蝕刻罩幕，依序對鎢金屬矽化物層103及多晶矽層102進行非等向性蝕刻至露出半導體基底101，以形成開口106；然後，將圖案化光阻層104去除。如此一來，即形成字元線107a及107，字元線107a及107間以開口106相隔開來，且字元線107a、107之寬度分別為 $0.14\ \mu\text{m}$ ，而開口106之寬度與圖案化光阻層104之開口105的尺寸相同。

因為光源及光阻層特性的限制，厚度不足的光阻層無法有效阻隔蝕刻源，厚度太過的光阻層則接觸窗尺寸不易控制，同時須避免光阻層傾倒，因此，字元線間的空間(space)及線寬(line)的比例無法太小，使得電子式可抹除程式化唯讀記憶體的字元線密度難以有效提昇。

發明內容

有鑑於此，本發明之目的在於提供一種電子式可抹除程式化唯讀記憶體之字元線的形成方法，藉由在既有之字元線罩幕間之空間(space)中形成由氮化矽間隙壁及虛置多晶矽層組成之額外字元線罩幕的方法，有效降低字元線之間的空間(space)及線寬，而使字元線的密度倍增。

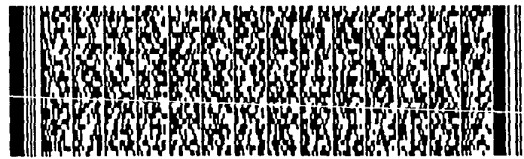
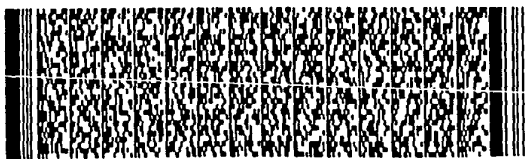
根據上述目的，本發明提供一種形成倍密式字元線的方法，包括下列步驟：提供一半導體基底；於半導體基底上依序形成一多晶矽層、一第一絕緣層、一第一犧牲層、一第二絕緣層及一具有字元線圖案之光阻層，字元線圖案露出部分第二絕緣層；以光阻層為蝕刻罩幕，依序蝕刻第



五、發明說明 (3)

二絕緣層及第一犧牲層至露出第一絕緣層，以形成一第一字元線罩幕及一第二字元線罩幕以及設置於兩者間之第一開口；移除光阻層；於開口之側壁形成一間隙壁；於開口內填入一第二犧牲層；去除間隙壁第二絕緣層及該間隙壁下之第一絕緣層，使第二犧牲層及其覆蓋之第一絕緣層共同形成一第三字元線罩幕；及以第一字元線罩幕、第二字元線罩幕及第三字元線罩幕為蝕刻罩幕，蝕刻多晶矽層以分別形成一第一字元線、一第二字元線及一第三字元線。

根據上述目的，本發明再提供一種形成倍密式字元線的方法，包括下列步驟：提供一半導體基底，半導體基底上依序形成有一多晶矽層、一金屬矽化物層、一氧化層、一第一虛置多晶矽層及一第一氮化層；於氮化層上形成一具有第一開口之圖案化光阻層，開口露出部分該第一氮化層；以圖案化光阻層為蝕刻罩幕，依序蝕刻第一氮化層及第一虛置多晶矽層至露出氧化層，以形成一第一字元線罩幕及一第二字元線罩幕以及設置於兩者間之第一第二開口；移除圖案化光阻層；於第一字元線罩幕及第二字元線罩幕以及第二開口上順應性形成一第二氮化層；對第二氮化層進行非等向性蝕刻以在第二開口之側壁形成一間隙壁；於第一字元線罩幕及第二字元線罩幕以及第二開口上形成一第二虛置多晶矽層，第二虛置多晶矽層填滿第二開口；對第二虛置多晶矽層進行回蝕刻步驟，以使第二虛置多晶矽層之高度低於間隙壁；去除間隙壁、第一氮化層及露出表面之氧化層，第二虛置多晶矽層及其覆蓋之氧化層共同形



五、發明說明 (4)

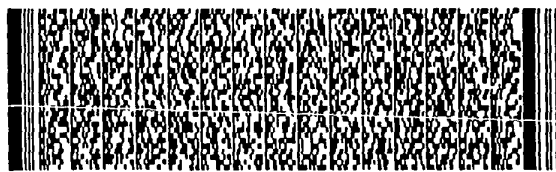
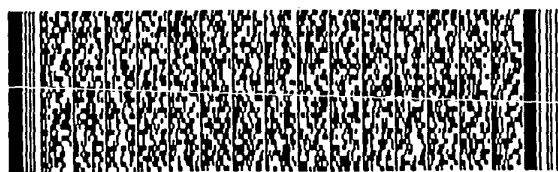
成一第三字元線罩幕；及以第一字元線罩幕、第二字元罩幕及第三字元線罩幕為蝕刻罩幕，依序蝕刻金屬矽化物層及多晶矽層以分別形成一第一字元線、一第二字元線及一第三字元線。

為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

請參考第2a-2h圖，第2a-2h圖係顯示本發明之電子式可抹除程式化唯讀記憶體形成倍密式字元線的方法。

請參考第2a圖，首先，提供一半導體基底201，半導體基底201上形成有複數個記憶胞(memory cell)及其他相關元件，圖式上並未標示記憶胞及其他元件，以簡單化本圖式。接著，於半導體基底201上依序形成一多晶矽層(poly)202、一金屬層203、一絕緣層204、一作為犧牲層之第一虛置(dummy)多晶矽層205、一絕緣層206及一具有開口208之圖案化光阻層207，開口208會露出部分之氮化層206。其中，多晶矽層202之厚度約為1150至1250 Å；金屬層203例如是金屬矽化物層如鎢金屬矽化物(WSi)，厚度約為1550至1650 Å；絕緣層204之材質例如是氧化矽層(SiO_2)，厚度約為750至850 Å；第一虛置多晶矽層205之厚度約為950至1050 Å；絕緣層206之材質例如是氮化矽層(SiN)，厚度約為250至350 Å，且絕緣層206與絕緣層204之材質相異；開口208之寬度約為0.18 μm 。



五、發明說明 (5)

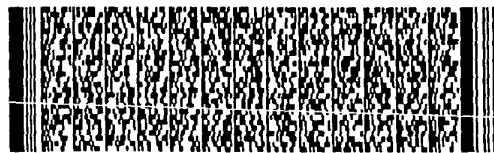
請參考第2b圖，以圖案化光阻層207為蝕刻罩幕，依序對絕緣層206及第一虛置多晶矽層205進行非等向性蝕刻(anisotropical etching)步驟至露出絕緣層204，以形成一第一字元線罩幕209a及一第二字元線罩幕209b以及設置於兩者間之開口209c；然後，將圖案化光阻層207去除。其中，非等向性蝕刻步驟例如是反應性離子蝕刻(reactive ion etching)或電漿蝕刻(plasma etching)；第一字元線罩幕209a及第二字元線罩幕209b之寬度約為0.14 μm 。

請參考第2c圖，於第一字元線罩幕209a及一第二字元線罩幕209b以及設置於兩者間之開口209c上順應性形成一絕緣層210；其中，絕緣層210之厚度約為200 Å，材質與絕緣層206相同，例如是氮化層(SiN)。

請參考第2d圖，接著，對絕緣層210進行非等向性蝕刻步驟至露出絕緣層204，以在開口209c之側壁上形成間隙壁210a。其中，非等向性蝕刻步驟例如是反應性離子蝕刻(reactive ion etching)或電漿蝕刻(plasma etching)。

請參考第2e圖，於第一字元線罩幕209a及一第二字元線罩幕209b以及形成有間隙壁210a之開口209c上順應性形成一作為犧牲層之第二虛置多晶矽層211，且第二虛置多晶矽層211會填滿開口209c。其中，第二虛置多晶矽層211之厚度約為2000 Å。

請參考第2f圖，接著，對第二虛置多晶矽層211進行



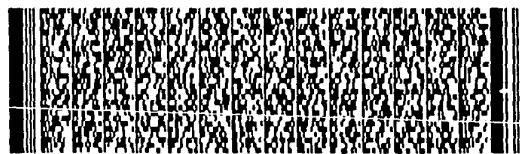
五、發明說明 (6)

回蝕刻(etch back)步驟，至露出絕緣層206，並繼續回刻至形成一高度低於間隙壁210a之第二虛置多晶矽層211a。

請參考第2g圖，將絕緣層206及間隙壁210a移除後，並將露出表面之絕緣層204亦移除，以在第一字元線罩幕209a及第二字元線罩幕209b間之開口209c中形成一第三字元線罩幕209d，第三字元線罩幕209d由第二虛置多晶矽層211a及絕緣層204a共同形成；其中，第三字元線罩幕209d之寬度約為 $0.14\ \mu\text{m}$ ，並且，第三字元線罩幕209d分別與第一字元線罩幕209a及第二字元線罩幕209b以 $200\ \text{\AA}$ 之空間(space)相隔開來。

請參考第2h圖，以第一字元線罩幕209a、第二字元線罩幕209b及第三字元線罩幕209d為蝕刻罩幕，依序對金屬層203及多晶矽層202進行非等向性蝕刻步驟至露出半導體基底201，以在半導體基底201上分別形成第一字元線212a、第二字元線212b及第三字元線212c，然後，將第一字元線罩幕209a、第二字元線罩幕209b及第三字元線罩幕209d去除；其中，非等向性蝕刻步驟例如是反應性離子蝕刻(reactive ion etching)或電漿蝕刻(plasma etching)。

第一字元線212a、第二字元線212b及第三字元線212c之寬度同樣約為 $0.14\ \mu\text{m}$ ，並且第一字元線212a、第二字元線212b及第三字元線212c間分別以 $200\ \text{\AA}$ 之空間(space)相隔開來；如此一來，即在既有之字元線(212a、212b)間



五、發明說明 (7)

之空間(209c)中額外形成一字元線(212c)，且字元線間(212a、212b、212c)之空間213可不受光阻層特性之限制而減少至200 Å。

根據本發明所提供之在EEPROM形成字元線的方法，可不受光阻層特性之限制，利用虛置多晶矽層及絕緣層間隙壁的方法，在既成之字元線罩幕間之空間(space)中增加一字元線罩幕，以額外形成一字元線，能夠使字元線之密度倍增，進而有效提高單位面積下可生產的記憶單元。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



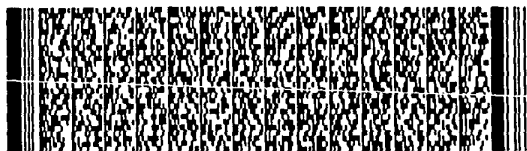
圖式簡單說明

第1a-1b圖係顯示習知之電子式可抹除程式化唯讀記憶體形成字元線的方法。

第2a-2h圖係顯示本發明之電子式可抹除程式化唯讀記憶體形成倍密式字元線的方法。

符號說明：

- 101~半導體基底；
- 102~多晶矽層；
- 103~鎢金屬層；
- 104~圖案化光阻層；
- 105~開口；
- 106~開口；
- 107a、107b~字元線；
- 201~半導體基底；
- 202~多晶矽層；
- 203~金屬層；
- 204、204a~絕緣層；
- 205~第一虛置多晶矽層；
- 206~絕緣層；
- 207~圖案化光阻層；
- 208~開口；
- 209a~第一字元線罩幕；
- 209b~第二字元線罩幕；
- 209c~開口；
- 209d~第三字元線罩幕；



圖式簡單說明

210~絕緣層；

210a~間隙壁；

211、211a~第二虛置多晶矽層；

212a~第一字元線；

212b~第二字元線；

212c~第三字元線；

213~空間。



六、申請專利範圍

1. 一種形成倍密式字元線的方法，包括下列步驟：
提供一半導體基底；

於該半導體基底上依序形成一多晶矽層、一第一絕緣層、一第一犧牲層、一第二絕緣層及一具有字元線圖案之光阻層，該字元線圖案露出部分該第二絕緣層；

以該光阻層為蝕刻罩幕，依序蝕刻該第二絕緣層及該第一犧牲層至露出該第一絕緣層，以形成一第一字元線罩幕及一第二字元線罩幕以及設置於兩者間之一開口；
移除該光阻層；

於該開口之側壁形成一間隙壁；

於該開口內填入一第二犧牲層；

去除該間隙壁、該第二絕緣層及該間隙壁下之該第一絕緣層，使該第二犧牲層及其覆蓋之該第一絕緣層共同形成一第三字元線罩幕；及

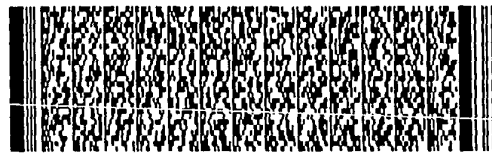
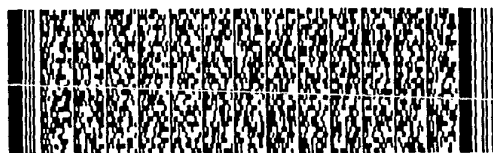
以該第一字元線罩幕、該第二字元線罩幕及該第三字元線罩幕為蝕刻罩幕，蝕刻該多晶矽層以分別形成一第一字元線、一第二字元線及一第三字元線。

2. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中更包括該多晶矽層上形成有一金屬矽化物層。

3. 如申請專利範圍第2項所述之形成倍密式字元線的方法，其中該金屬矽化物層為鎢金屬矽化物。

4. 如申請專利範圍第3項所述之形成倍密式字元線的方法，其中該鎢金屬矽化物之厚度為1550至1650 Å。

5. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中該多晶矽層之厚度為1550至1650 Å。



六、申請專利範圍

方法，其中該多晶矽層之厚度為1150至1250 Å。

6. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中該第一絕緣層為氧化矽層。

7. 如申請專利範圍第6項所述之形成倍密式字元線的方法，其中該氧化矽層之厚度為750至850 Å。

8. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中該第一犧牲層為多晶矽層。

9. 如申請專利範圍第8項所述之形成倍密式字元線的方法，其中該多晶矽層之厚度為950至1050 Å。

10. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中第二絕緣層為氮化層。

11. 如申請專利範圍第10項所述之形成倍密式字元線的方法，其中該氮化層之厚度為250至350 Å。

12. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中該間隙壁為氮化層。

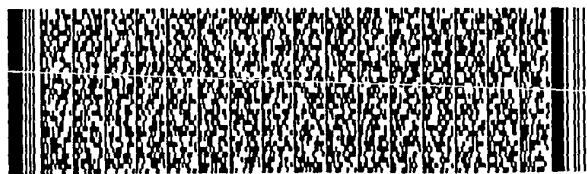
13. 如申請專利範圍第1項所述之形成倍密式字元線的方法，其中該第二犧牲層為多晶矽層。

14. 一種形成倍密式字元線的方法，包括下列步驟：

提供一半導體基底，該半導體基底上依序形成有一多晶矽層、一金屬矽化物層、一氧化層、一第一虛置多晶矽層及一第一氮化層；

於該氮化層上形成一具有第一開口之圖案化光阻層，該開口露出部分該第一氮化層；

以該圖案化光阻層為蝕刻罩幕，依序蝕刻該第一氮化



六、申請專利範圍

層及該第一虛置多晶矽層至露出該氧化層，以形成一第一字元線罩幕及一第二字元線罩幕以及設置於兩者間之一第二開口；

移除該圖案化光阻層；

於該第一字元線罩幕及該第二字元線罩幕以及該第二開口上順應性形成一第二氮化層；

對該第二氮化層進行非等向性蝕刻以在該第二開口之側壁形成一間隙壁；

於該第一字元線罩幕及該第二字元線罩幕以及該第二開口上形成一第二虛置多晶矽層，該第二虛置多晶矽層填滿該第二開口；

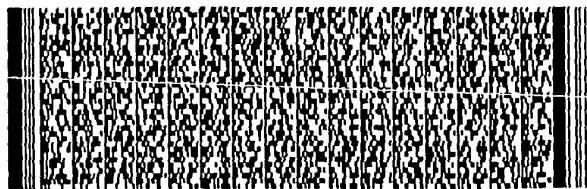
對該第二虛置多晶矽層進行回蝕刻步驟，以使該第二虛置多晶矽層之高度低於該間隙壁；

去除該間隙壁、該第一氮化層及露出表面之該氧化層，該第二虛置多晶矽層及其覆蓋之該氧化層共同形成一第三字元線罩幕；及

以該第一字元線罩幕、該第二字元線罩幕及該第三字元線罩幕為蝕刻罩幕，依序蝕刻該金屬矽化物層及該多晶矽層以分別形成一第一字元線、一第二字元線及一第三字元線。

15. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中更包括該一去除該第一字元線罩幕、該第二字元線罩幕及該第三字元線罩幕之步驟。

16. 如申請專利範圍第14項所述之形成倍密式字元線



六、申請專利範圍

的方法，其中該多晶矽層之厚度為1150至1250 Å。

17. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該金屬矽化物層為鎢金屬矽化物。

18. 如申請專利範圍第17項所述之形成倍密式字元線的方法，其中該鎢金屬矽化物之厚度為1550至1650 Å。

19. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該氧化層之厚度為750至850 Å。

20. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該第一虛置多晶矽層之厚度為950至1050 Å。

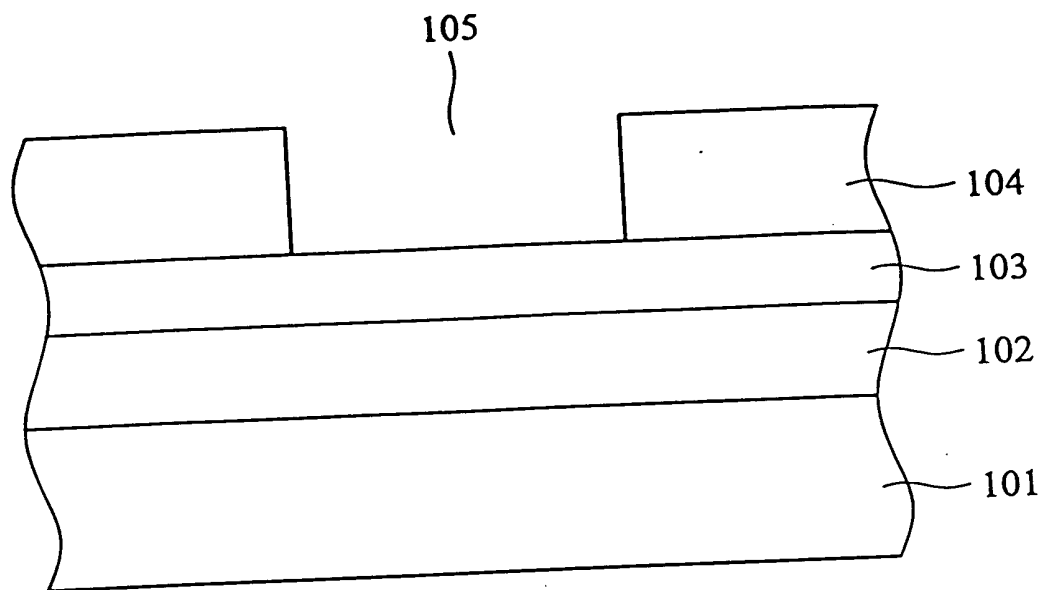
21. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該第一氮化層之厚度為250至350 Å。

22. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該第二氮化層之厚度為400 Å。

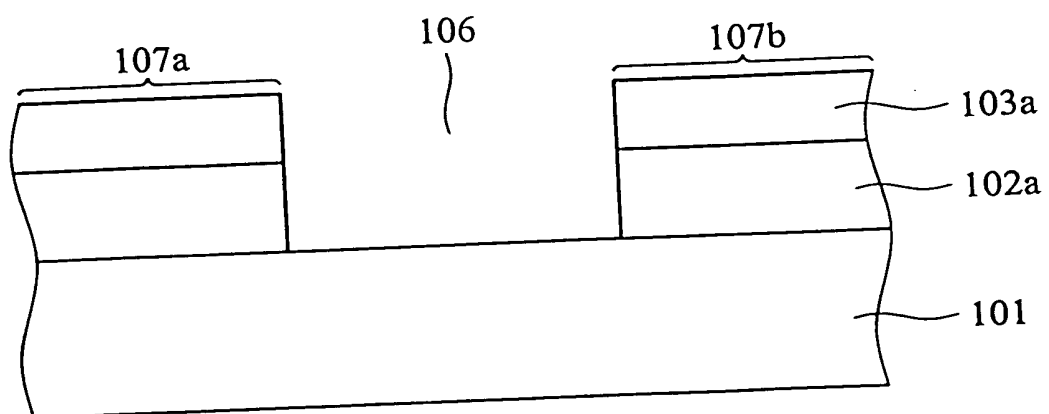
23. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該非等向性蝕刻步驟為反應性離子蝕刻或電漿蝕刻。

24. 如申請專利範圍第14項所述之形成倍密式字元線的方法，其中該第二虛置多晶矽層之厚度為2000 Å。

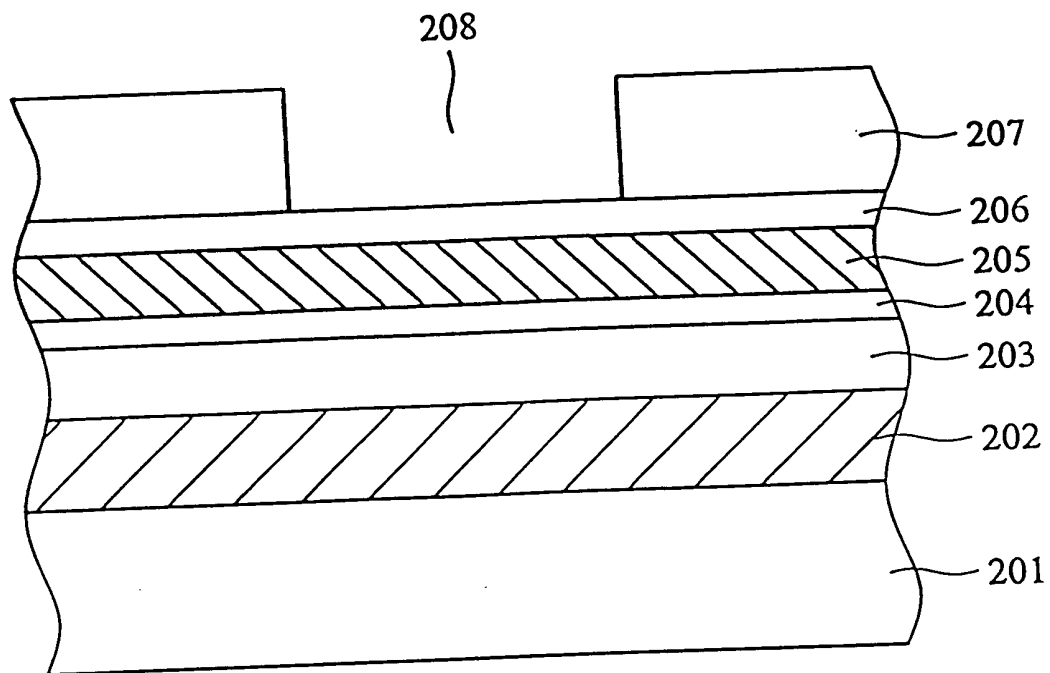




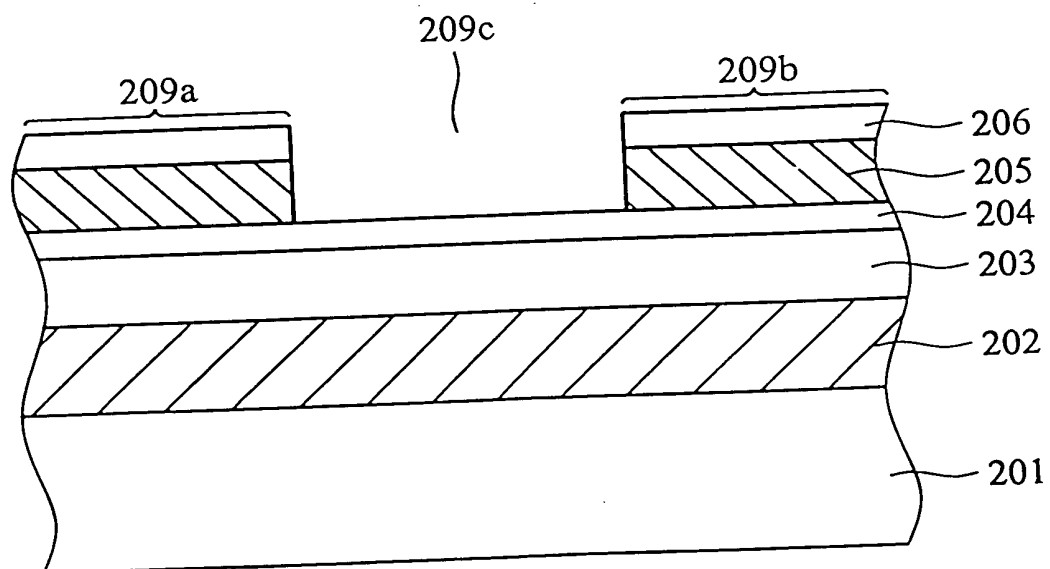
第 1a 圖



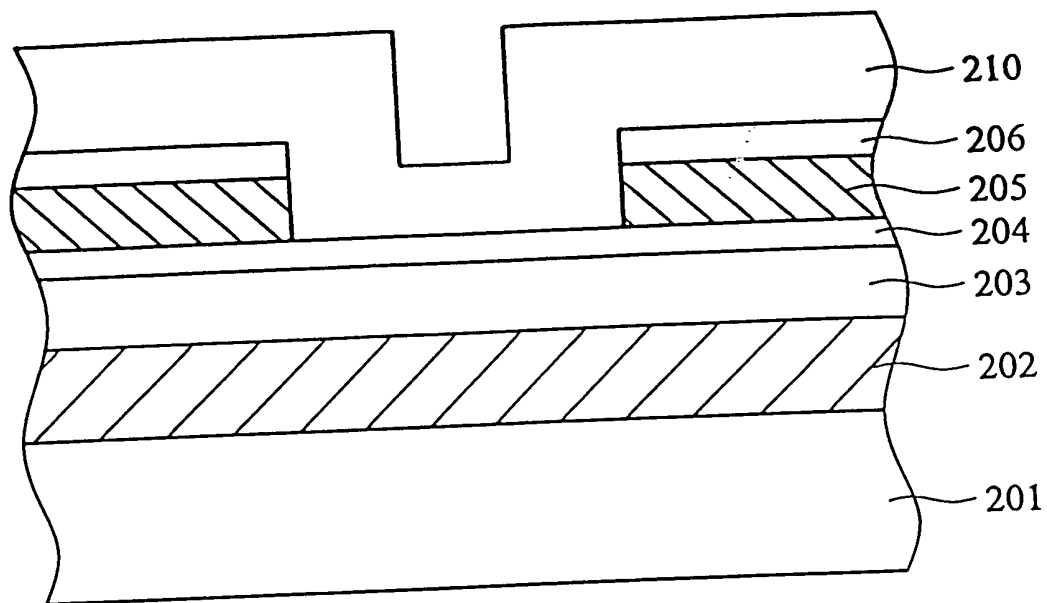
第 1b 圖



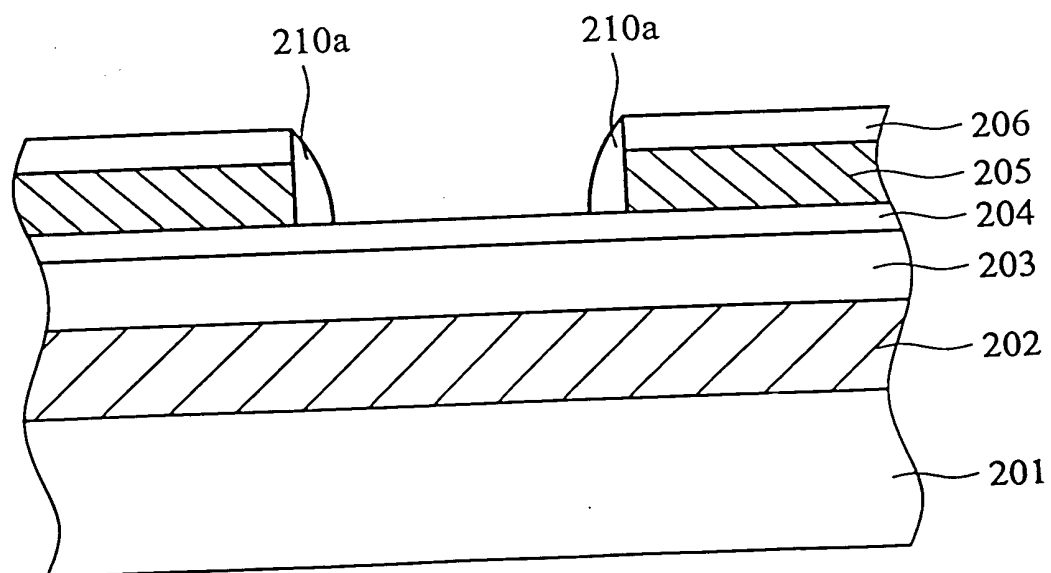
第2a圖



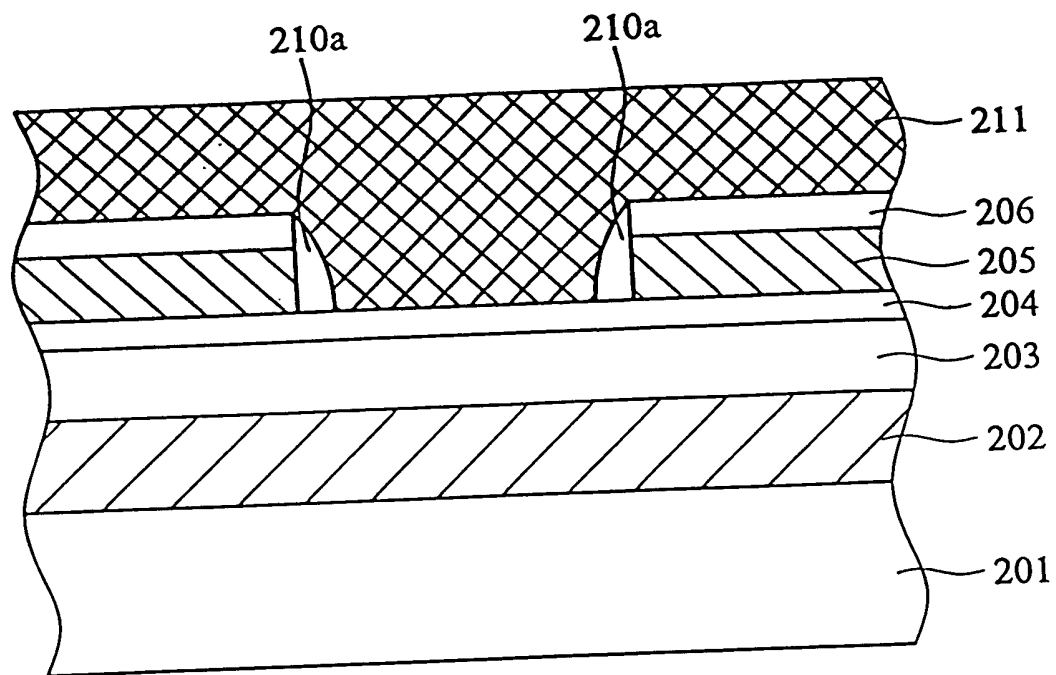
第2b圖



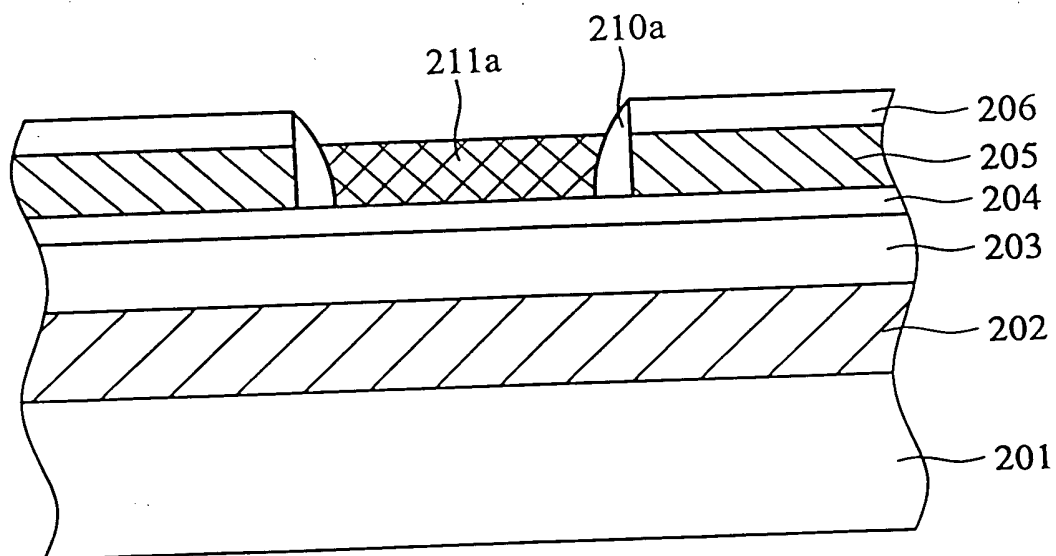
第2c圖



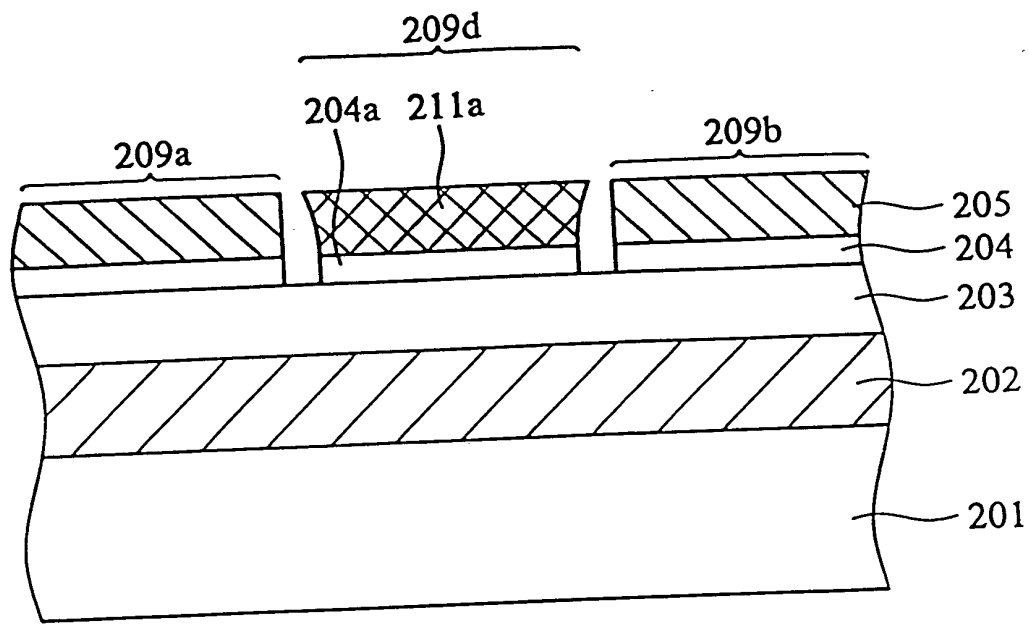
第2d圖



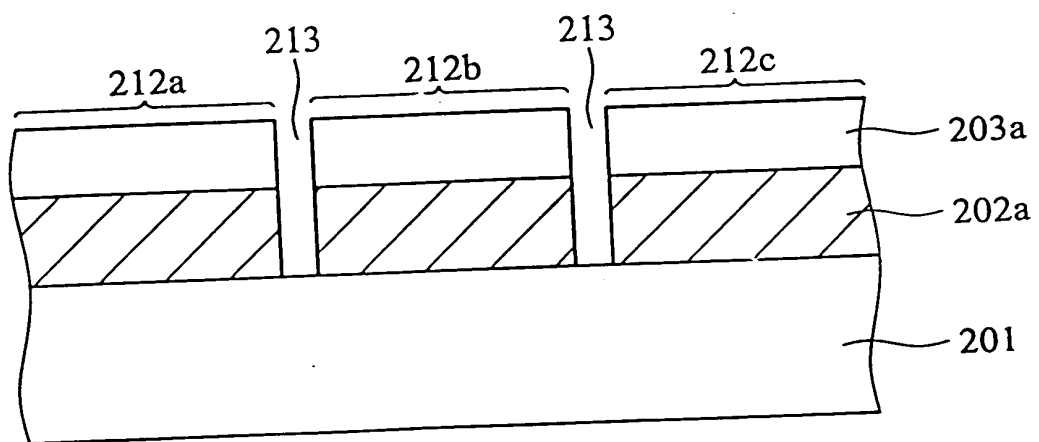
第 2e 圖



第 2f 圖

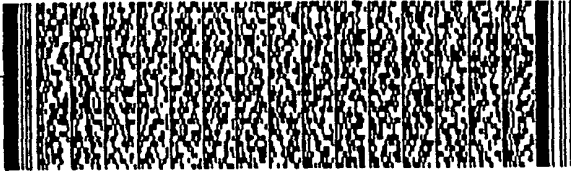


第 2g 圖



第 2h 圖

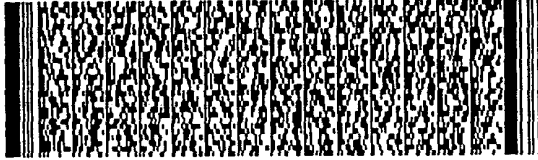
第 1/18 頁



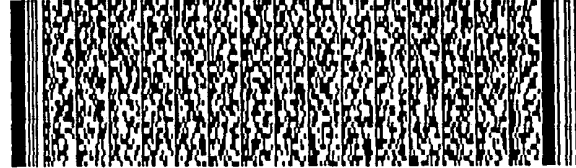
第 2/18 頁



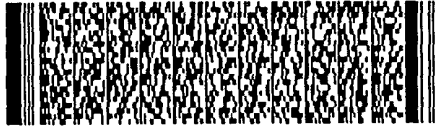
第 2/18 頁



第 3/18 頁



第 4/18 頁



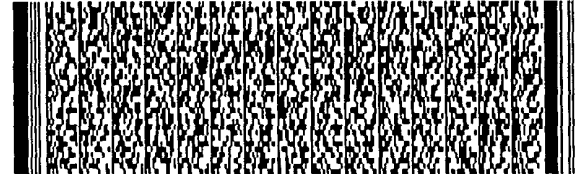
第 5/18 頁



第 6/18 頁



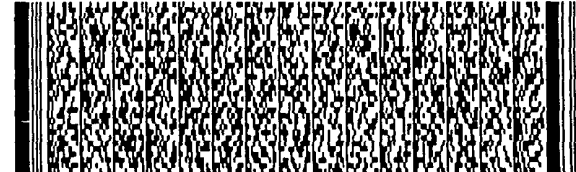
第 6/18 頁



第 7/18 頁



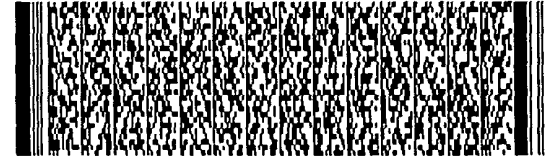
第 7/18 頁



第 8/18 頁



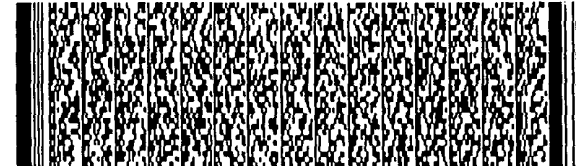
第 8/18 頁



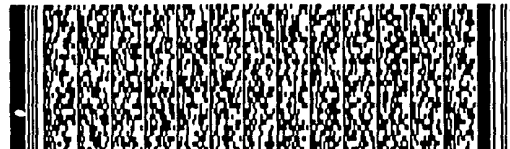
第 9/18 頁



第 9/18 頁



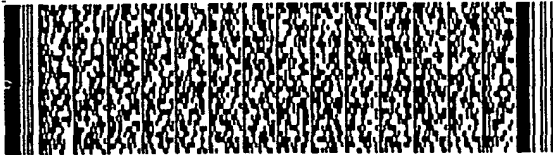
第 10/18 頁



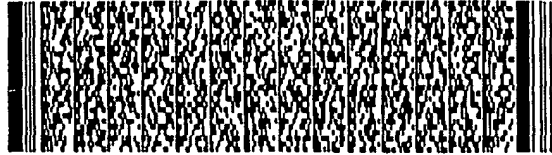
第 10/18 頁



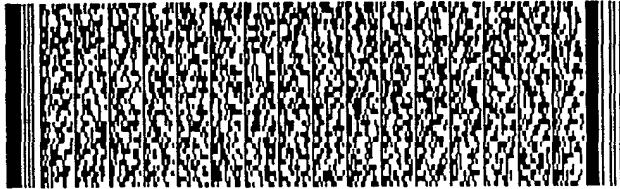
第 11/18 頁



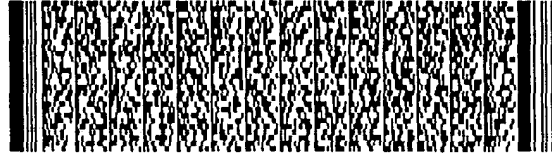
第 11/18 頁



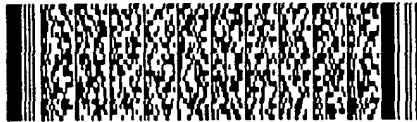
第 12/18 頁



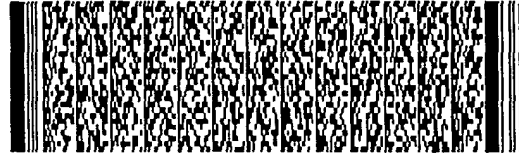
第 13/18 頁



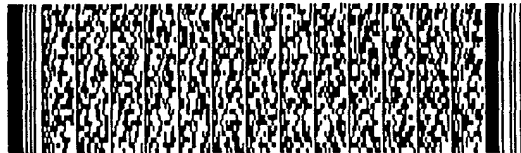
第 14/18 頁



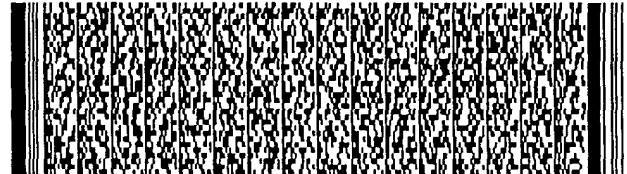
第 15/18 頁



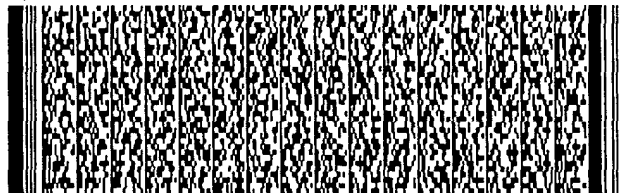
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

